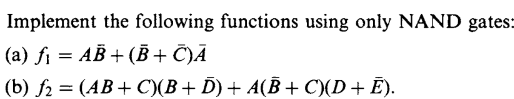
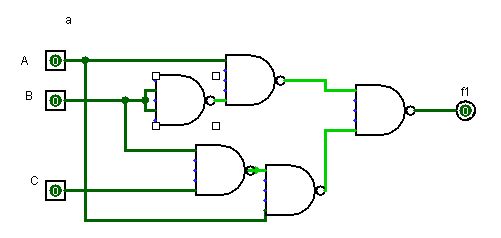
Chương 5

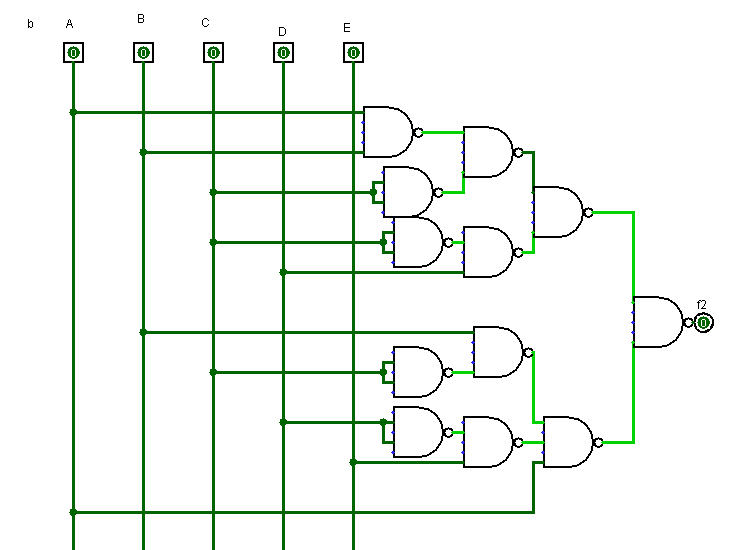
Bài 1



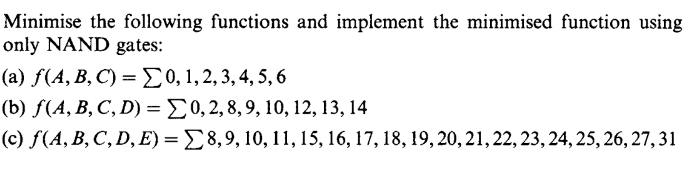
a)



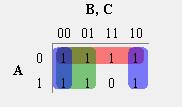
b)



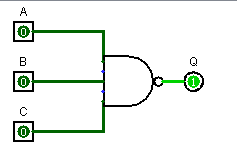
Bài 2



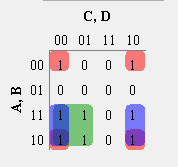
a)



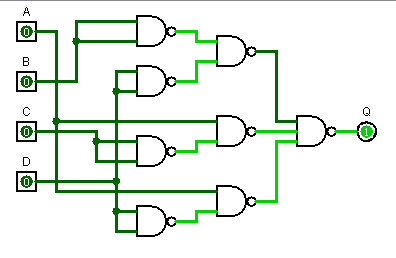
F= A'+B'+C'



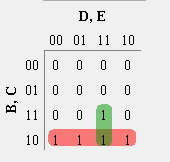
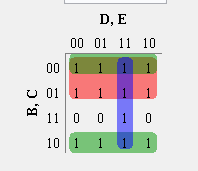
b)



F= B'D'+AC'+AD’



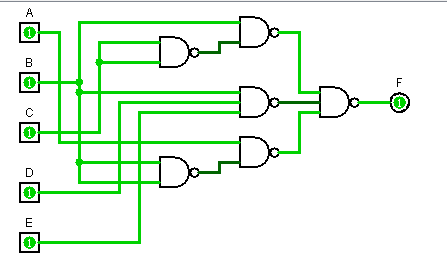
c)

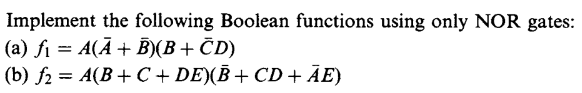
A

A’

F=A’BC’+A’BDE+AB’+AC’+ADE



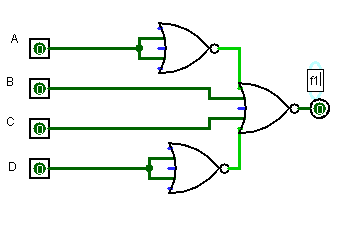
Bài 3



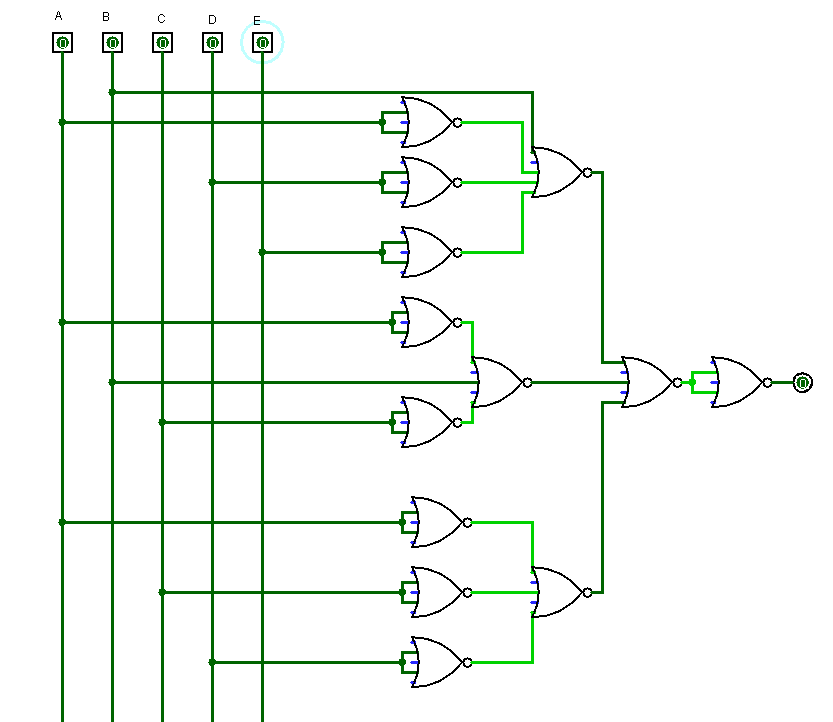
a)

f1=(AA’+AB’).(B+C’D)=(0+AB’).(B+C’D)=ABB’+AB’C’D

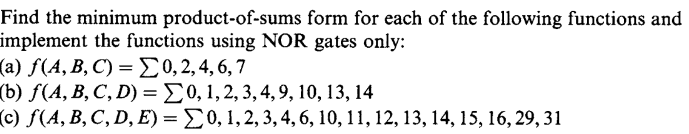
=0+AB’C’D= AB’C’D



b) f2=ABCD+AB’C+ACD+AB’DE+ACDE=AB’DE+AB’C+ACD



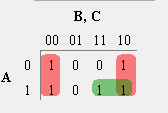
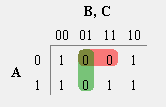
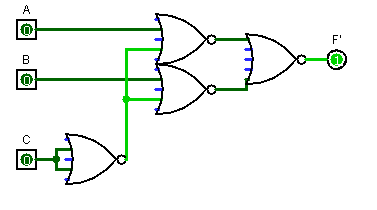
Bài 4



1. F=C’+AB=>F’=( C’+AB)’=(A+C’).(B+C’)

F’

F

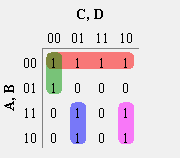
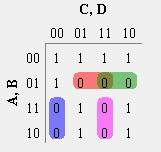
 =>  

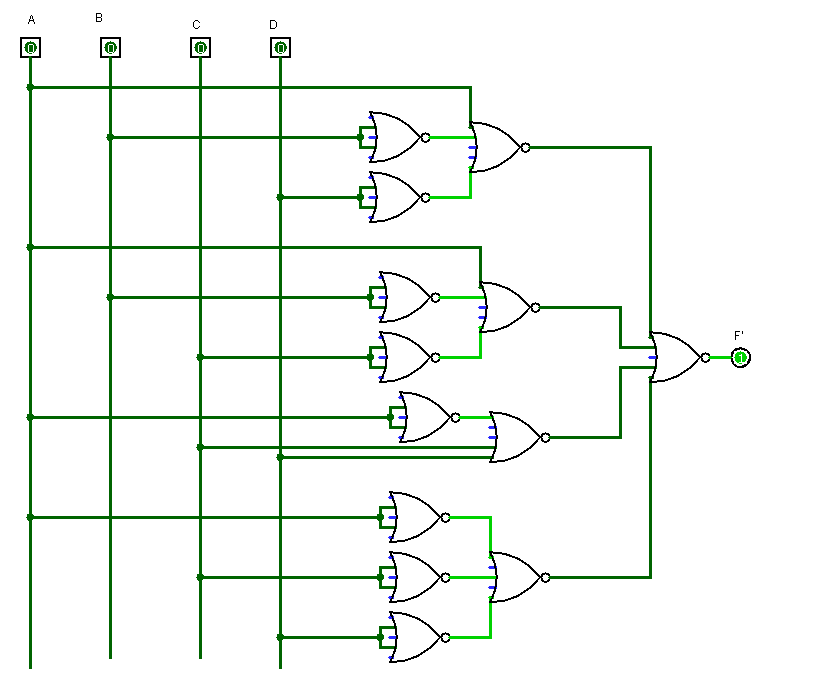
1. F=A’B’+A’C’D’+AC’D+ACD’

=>F’=(A+B’+D’).(A+B’+C’).(A’+C+D).(A’+C’+D’)

F’

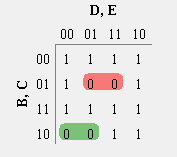
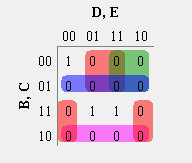
F

 =>



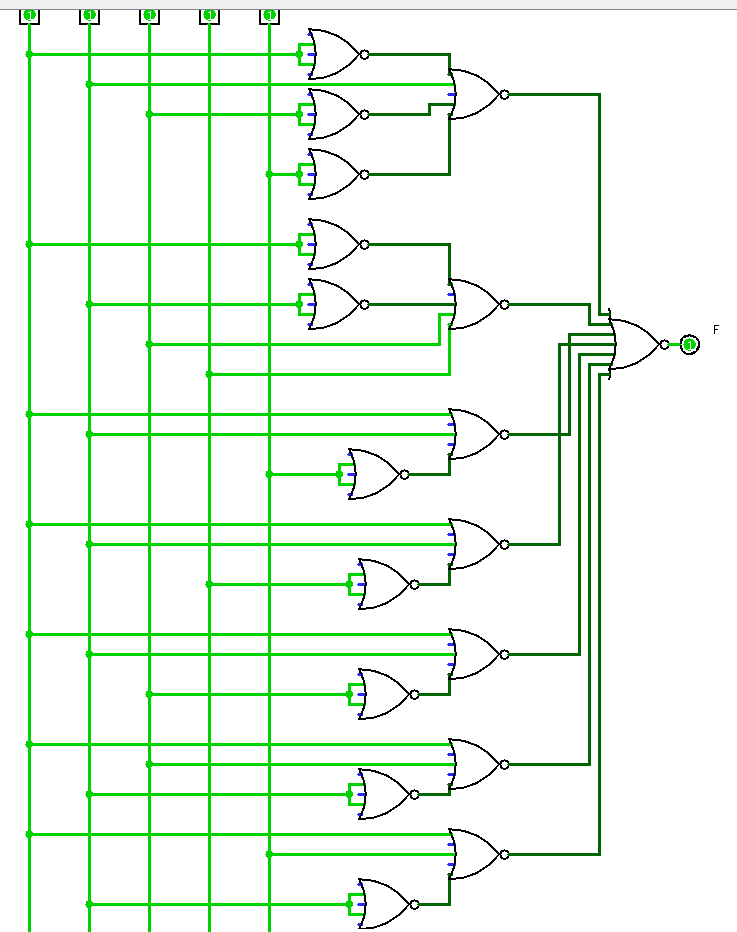
=>F’=(A’+B+C’+E’).(A’+B’+C+D).(A+B+E’).(A+B+D’).(A+B+C’).(A+B’+C).(A+B’+E)

F’ K-MAP

A

A’

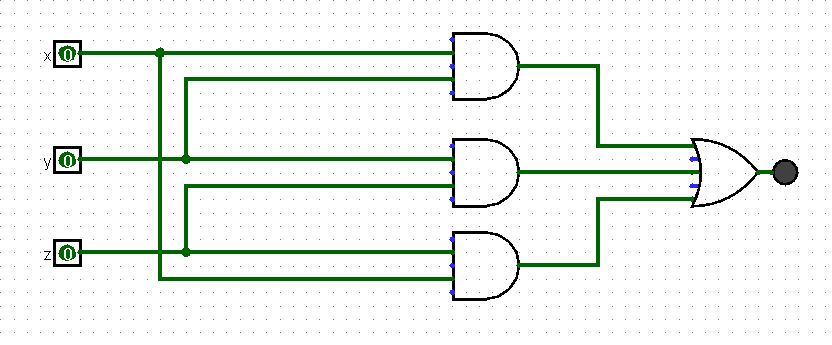


**Bài 5:**

|  |  |  |  |
| --- | --- | --- | --- |
| x | y | z | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| yz  x | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 0 |
| 01 | 0 | 1 | 1 | 1 |

F = yz + xz + xy



**Bài 6:**

|  |  |
| --- | --- |
| A B C D | W X Y Z |
| 0 0 0 0 | 0 0 0 0 |
| 0 0 0 1 | 0 0 0 1 |
| 0 0 1 1 | 0 0 1 0 |
| 0 0 1 0 | 0 0 1 1 |
| 0 1 1 0 | 0 1 0 0 |
| 0 1 1 1 | 0 1 0 1 |
| 0 1 0 1 | 0 1 1 0 |
| 0 1 0 0 | 0 1 1 1 |
| 1 1 0 0 | 1 0 0 0 |
| 1 1 0 1 | 1 0 0 1 |
| 1 1 1 1 | 1 0 1 0 |
| 1 1 1 0 | 1 0 1 1 |
| 1 0 1 0 | 1 1 0 0 |
| 1 0 1 1 | 1 1 0 1 |
| 1 0 0 1 | 1 1 1 0 |
| 1 0 0 0 | 1 1 1 1 |

W X

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 0 | 0 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 1 | 1 | 1 |

W = A X = A’B+AB’ = A⊕ B

Y Z

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 1 |
| 01 | 1 | 1 | 0 | 0 |
| 11 | 0 | 0 | 1 | 1 |
| 10 | 1 | 1 | 0 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 0 | 1 |
| 01 | 1 | 0 | 1 | 0 |
| 11 | 0 | 1 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 |

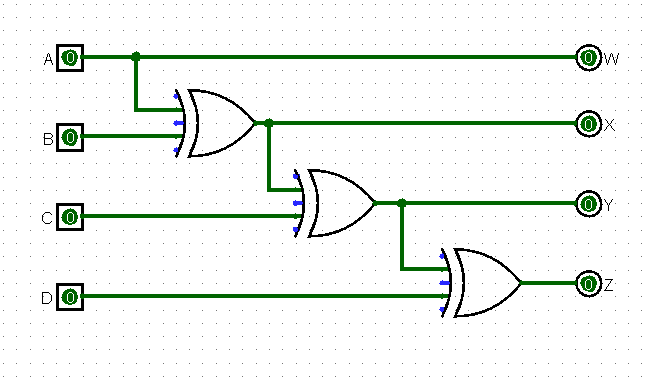
Y = A’B’C+A’BC’+ABC+AB’C’ Z = A⊕ B⊕C⊕D

= A’(B’C+BC’)+A(BC+B’C’) = Y⊕D

= A’(B⊕C)+A(B⊕C)’

= A⊕B⊕C

= X ⊕ C



**Bài 7:**

|  |  |  |
| --- | --- | --- |
|  | 8 4 -2 -1 | BCD(8421) |
|  | A B C D | W X Y Z |
| 0 | 0 0 0 0 | 0 0 0 0 |
| 1 | 0 1 1 1 | 0 0 0 1 |
| 2 | 0 1 1 0 | 0 0 1 0 |
| 3 | 0 1 0 1 | 0 0 1 1 |
| 4 | 0 1 0 0 | 0 1 0 0 |
| 5 | 1 0 1 1 | 0 1 0 1 |
| 6 | 1 0 1 0 | 0 1 1 0 |
| 7 | 1 0 0 1 | 0 1 1 1 |
| 8 | 1 0 0 0 | 1 0 0 0 |
| 9 | 1 1 1 1 | 1 0 0 1 |

W X

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | X | X | X |
| 01 | 0 | 0 | 0 | 0 |
| 11 | X | X | 1 | X |
| 10 | 1 | 0 | 0 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | X | X | X |
| 01 | 1 | 0 | 0 | 0 |
| 11 | X | X | 0 | X |
| 10 | 0 | 1 | 1 | 1 |

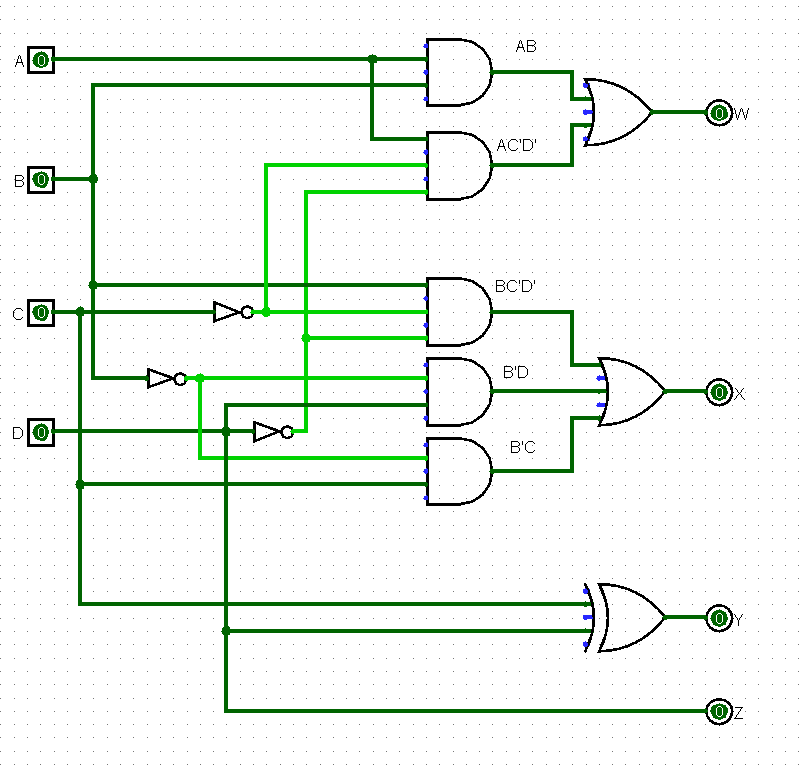
W = AB+AC’D’ X = BC’D’+B’D+B’C

Y

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | X | X | X |
| 01 | 0 | 1 | 0 | 1 |
| 11 | X | X | 0 | X |
| 10 | 0 | 1 | 0 | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 0 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | 0 |
| 10 | 0 | 1 | 1 | 0 |

Y = CD’+C’D = Y⊕D Z = D



b)

|  |  |  |  |
| --- | --- | --- | --- |
|  | 8 4 -2 -1 | BCD(8421) | Gray |
|  | A B C D | W X Y Z | W X Y Z |
| 0 | 0 0 0 0 | 0 0 0 0 | 0 0 0 0 |
| 1 | 0 1 1 1 | 0 0 0 1 | 0 0 0 1 |
| 2 | 0 1 1 0 | 0 0 1 0 | 0 0 1 1 |
| 3 | 0 1 0 1 | 0 0 1 1 | 0 0 1 0 |
| 4 | 0 1 0 0 | 0 1 0 0 | 0 1 1 0 |
| 5 | 1 0 1 1 | 0 1 0 1 | 0 1 1 1 |
| 6 | 1 0 1 0 | 0 1 1 0 | 0 1 0 1 |
| 7 | 1 0 0 1 | 0 1 1 1 | 0 1 0 0 |
| 8 | 1 0 0 0 | 1 0 0 0 | 1 1 0 0 |
| 9 | 1 1 1 1 | 1 0 0 1 | 1 1 0 0 |

W X

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | X | X | X |
| 01 | 0 | 0 | 0 | 0 |
| 11 | X | X | 1 | X |
| 10 | 1 | 0 | 0 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | X | X | X |
| 01 | 1 | 0 | 0 | 0 |
| 11 | X | X | 1 | X |
| 10 | 1 | 1 | 1 | 1 |

W = AB+AC’D’ X = BC’D’+A

Y Z

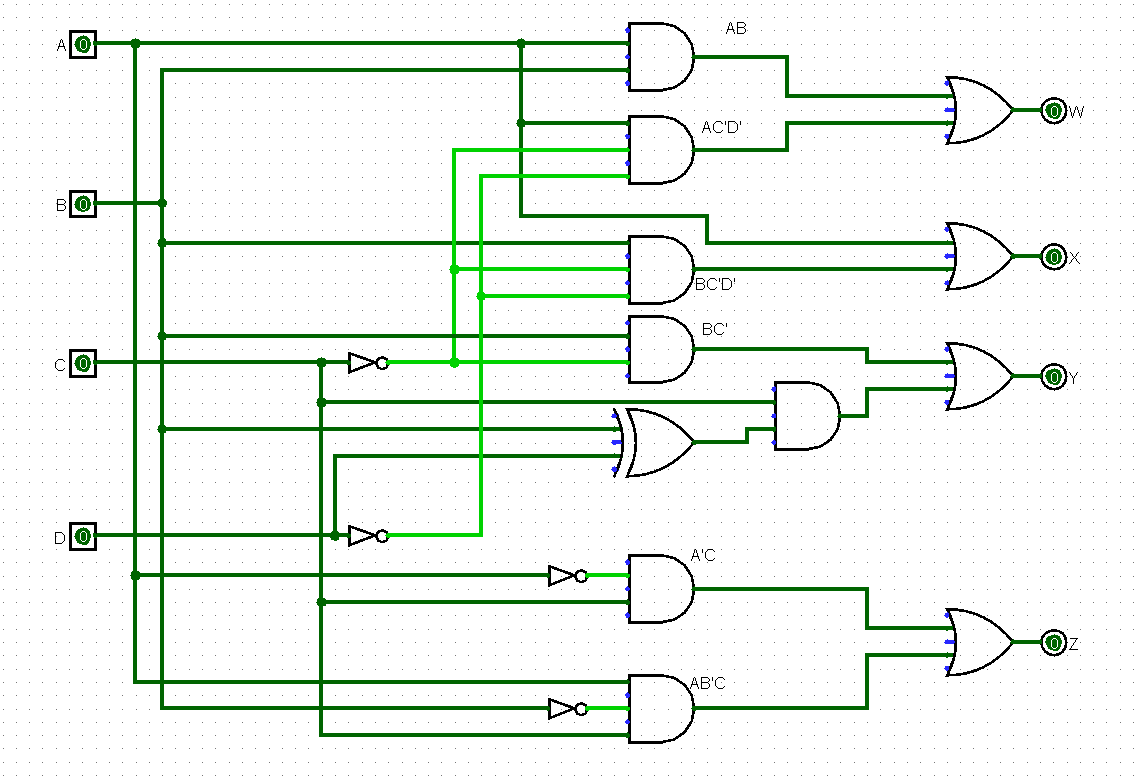
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | X | X | X |
| 01 | 1 | 1 | 0 | 1 |
| 11 | X | X | 0 | X |
| 10 | 0 | 0 | 1 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | X | X | X |
| 01 | 0 | 0 | 1 | 1 |
| 11 | X | X | 0 | X |
| 10 | 0 | 0 | 1 | 1 |

Y = BC’+B’CD+BCD’ Z = A’C+ AB’C

= BC’+C(B’D+BD’)

= BC’+C(B⊕D)



**Bài 8:**

|  |  |
| --- | --- |
| Binary | 2’s complement |
| A B C D | W X Y Z |
| 0 0 0 0 | 0 0 0 0 |
| 0 0 0 1 | 1 1 1 1 |
| 0 0 1 0 | 1 1 1 0 |
| 0 0 1 1 | 1 1 0 1 |
| 0 1 0 0 | 1 1 0 0 |
| 0 1 0 1 | 1 0 1 1 |
| 0 1 1 0 | 1 0 1 0 |
| 0 1 1 1 | 1 0 0 1 |
| 1 0 0 0 | 1 0 0 0 |
| 1 0 0 1 | 0 1 1 1 |
| 1 0 1 0 | 0 1 1 0 |
| 1 0 1 1 | 0 1 0 1 |
| 1 1 0 0 | 0 1 0 0 |
| 1 1 0 1 | 0 0 1 1 |
| 1 1 1 0 | 0 0 1 0 |
| 1 1 1 1 | 0 0 0 1 |

W X

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 1 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 0 | 0 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 1 |
| 01 | 1 | 0 | 0 | 0 |
| 11 | 1 | 0 | 0 | 0 |
| 10 | 0 | 1 | 1 | 1 |

W = A’D+A’C+A’B+AB’C’D’ X = BC’D’+B’D+B’C

= A’(B+C+D)+A(B+C+D)’ = B(C+D)’+B’(C+D)

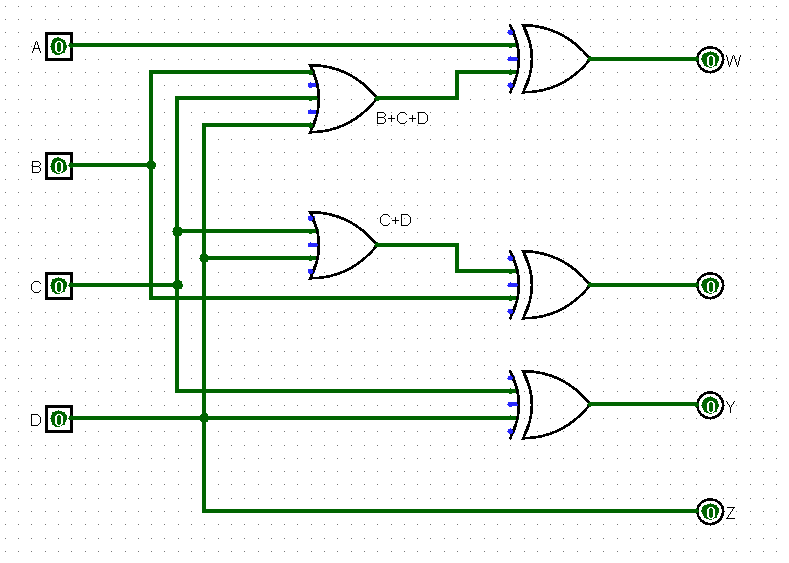
= A⊕(B+C+D) = B⊕(C+D)

Y Z

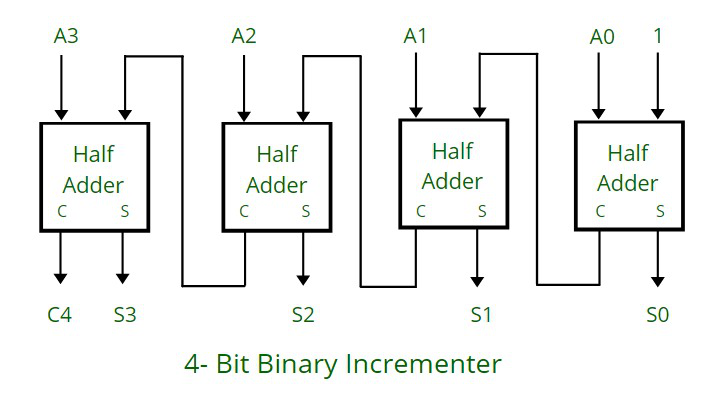
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 0 | 1 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | 0 | 1 | 0 | 1 |
| 10 | 0 | 1 | 0 | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CD  AB | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 0 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | 0 |
| 10 | 0 | 1 | 1 | 0 |

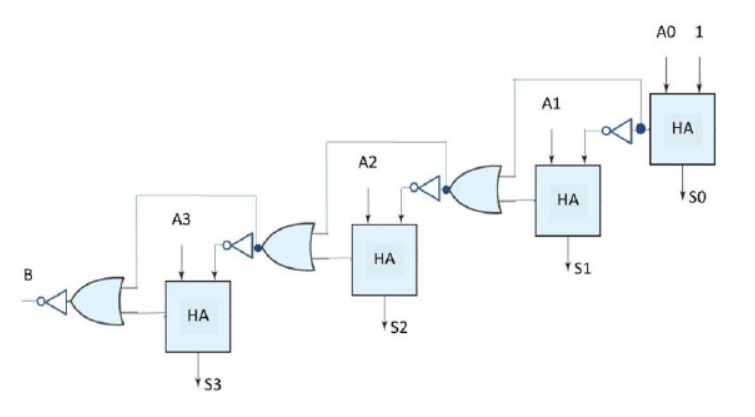
Y = C’D+CD’ = C⊕D Z = D



Sử dụng mạch có 4 half-adders:

1. Thiết kế mạch cộng 1 và o số 4bit nhị phân
2. Thiết kế mạch trừ 1 vào số 4bit nhị phân

Câu a)

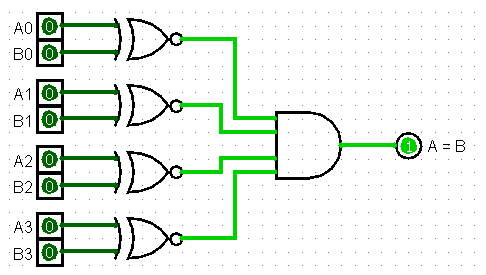
Câu b)

Thiết kế mạch tổ hợp so sánh hai số 4bit để kiểm tra xem chúng có bằng nhau không. Đầu ra của bằng 1 nếu hai số bằng nhau và bằng 0 nếu ngược lại.

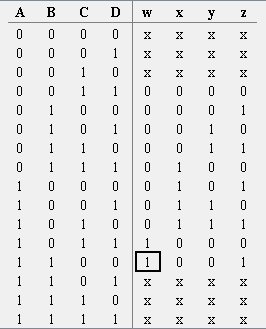
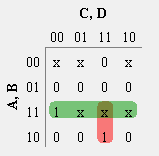
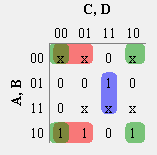
|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Y = A’B’ + AB = A NXOR B

A = A3A2A1A0 (4bit)  
B = B3B2B1B0 (4bit)

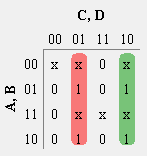
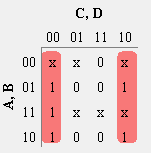


Thiết kế mạch tổ hợp so sánh hai số 4bit để kiểm tra xem chúng có bằng nhau không. Đầu ra của mạch bằng 1 nếu hai số bằng nhau và bằng 0 nếu ngược lại.



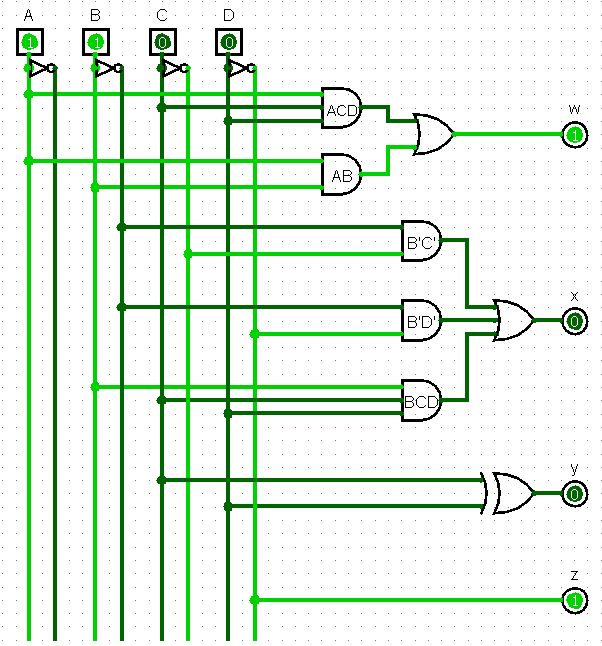
x = B’D’ + B’C’ + BCD

w = ACD + AB



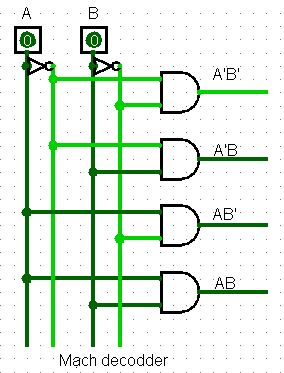
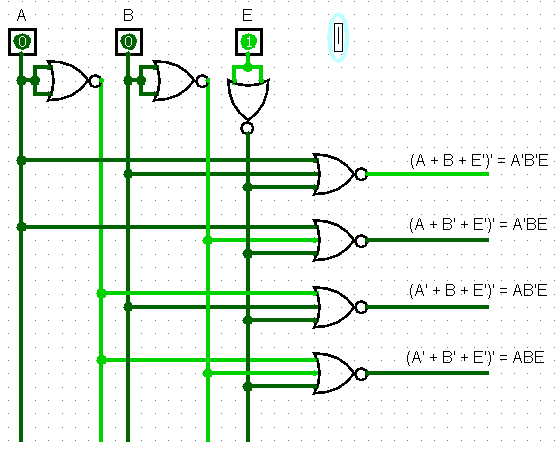
z = D’

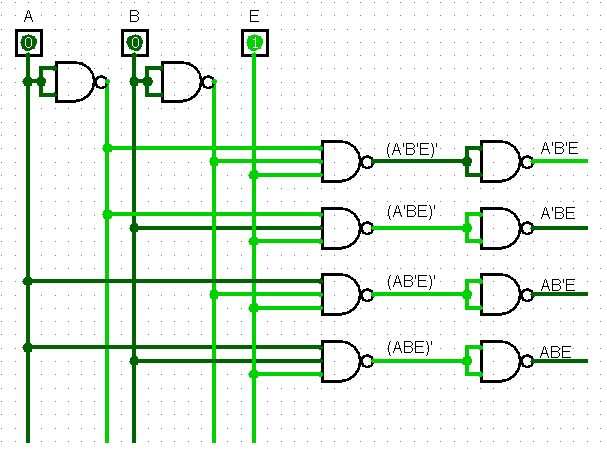
y = C’D + CD’ = C XOR D



4.23 Vẽ sơ đồ logic của 2-to-4-line decoder sử dụng:

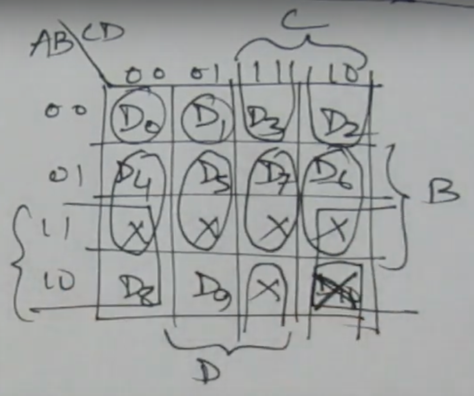
1. chỉ cổng NOR
2. chỉ cổng NAND.

Câu a)



13.Thiết kế một decoder BCD sang số thập phân bằng cách sử dụng các tổ hợp mã BCD(không được sử dụng dưới dạng BCD thì không cần quan tâm).

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | B | C | D | D0 | D1 | D2 | D3 | D4 | D5 | D6 | D7 | D8 | D9 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |



D0=A’B’C’D’

D1=A’B’C’D

D2=B’CD’

D3=B’CD

D4=BC’D’

D5=BC’D

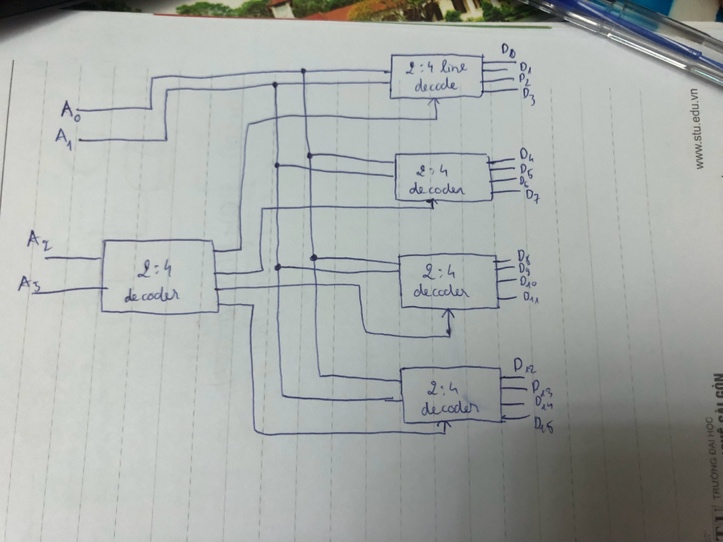
D6=BCD’

D7=BCD

D8=AD’

D9=AD

14.Xây dựng một 4-to-16-line decoder với năm 2-to-4-line decoder với enable(E).



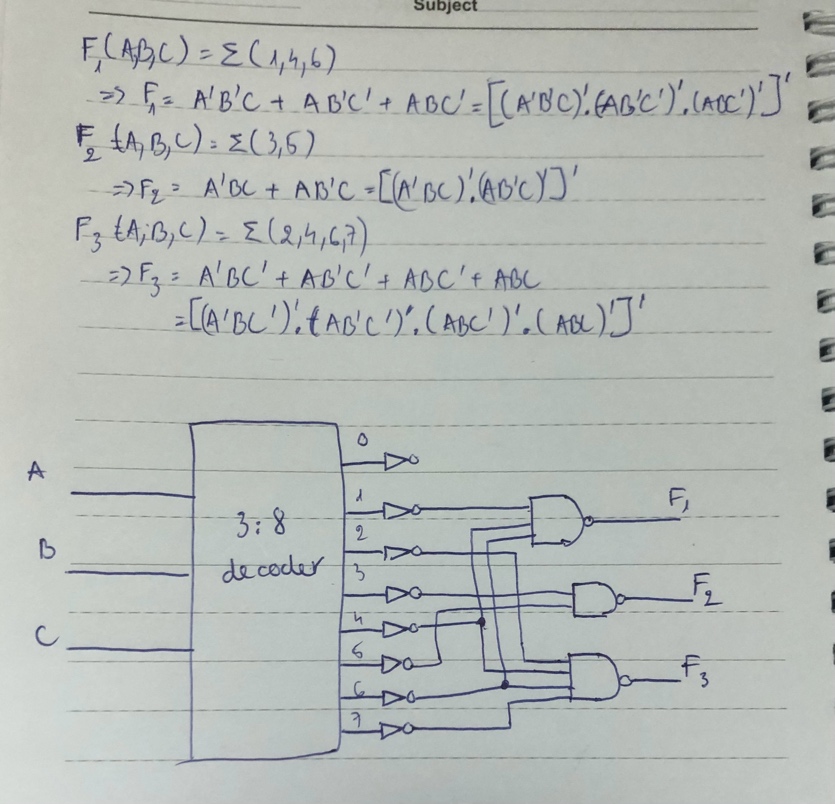
15.Một mạch tổ hợp được xác định bởi ba hàm Boolean sau:

F (A, B, C) =2(1,4,6)

F2(A, B, C) =2(3,5)

F3(A, B, C) =2(2,4,6,7)

Thực hiện mạch với bộ giải mã được xây dựng bằng cổng NAND (tương tự như Hình 4.19) và cổng NAND hoặc AND được kết nối với đầu ra của bộ giải mã. Sử dụng sơ đồ khối cho bộ giải mã. Giảm thiểu số lượng đầu vào trong các cổng bên ngoài.



16.ử dụng bộ giải mã và các cổng bên ngoài, hãy thiết kế mạch tổ hợp được xác định bởi ba hàm Boolean sau:

(a) F₁ = x'yz' +xz

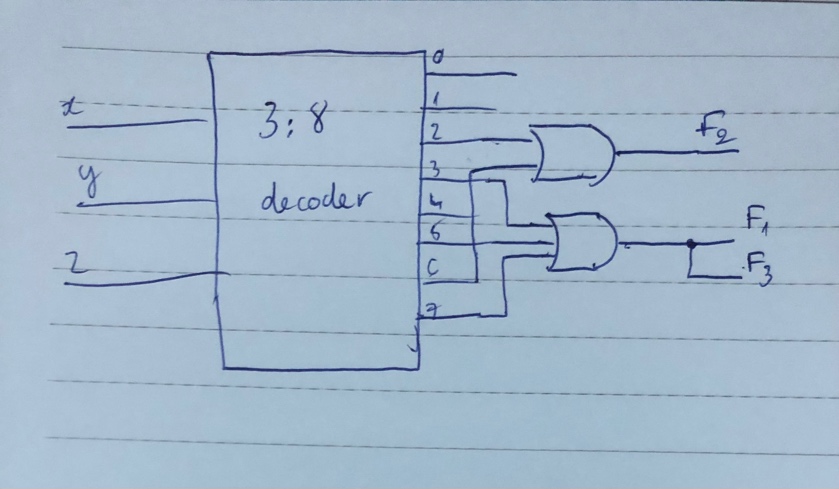
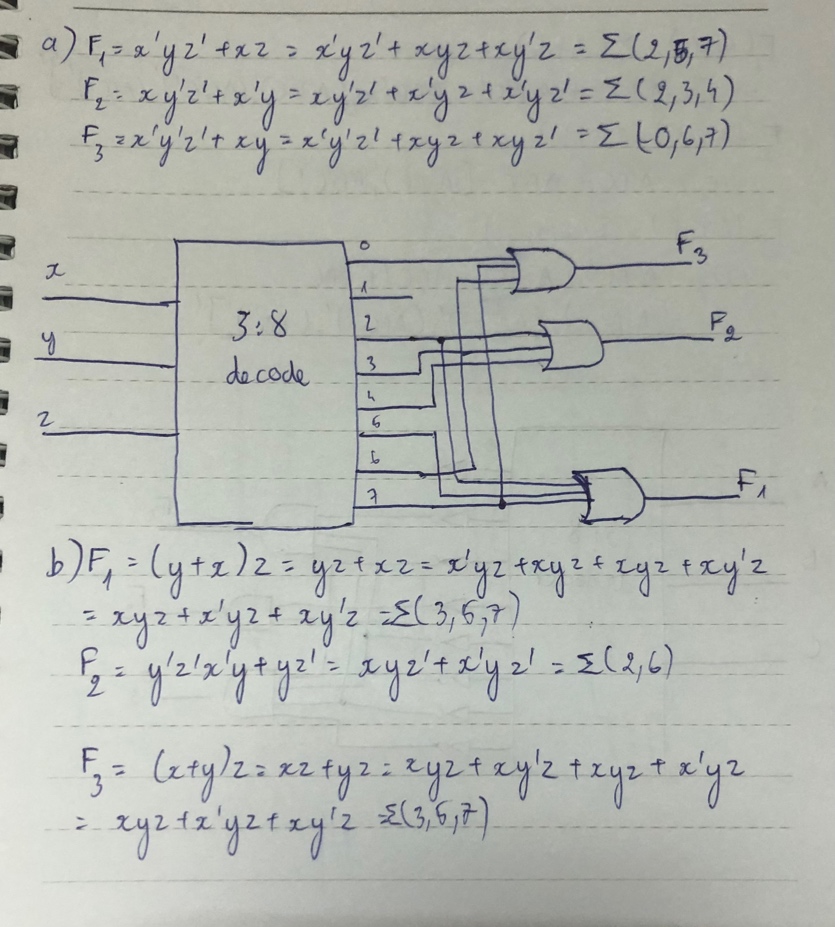
F₂ = xy'z' + x'y

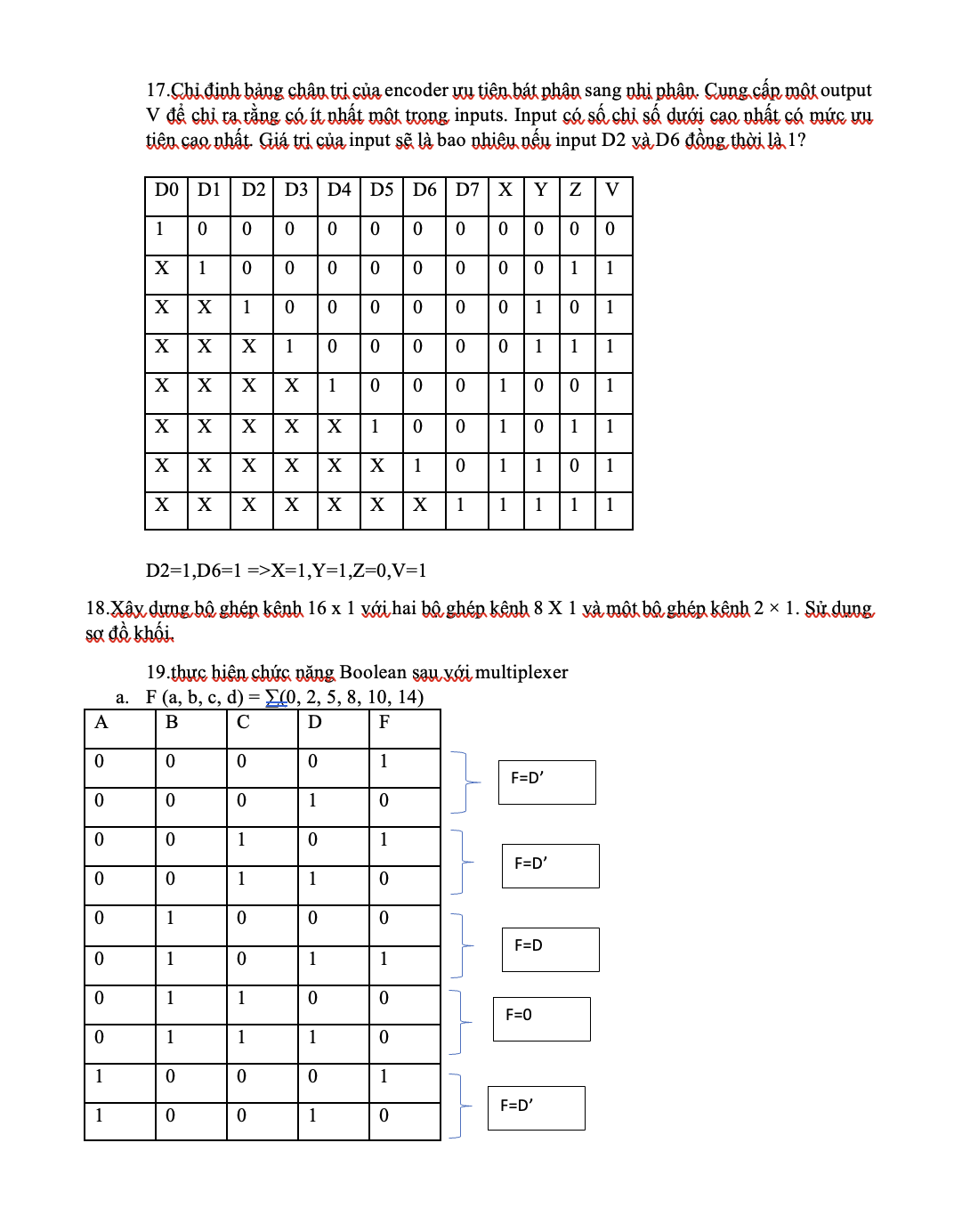
F3 = x'y'z' + xy

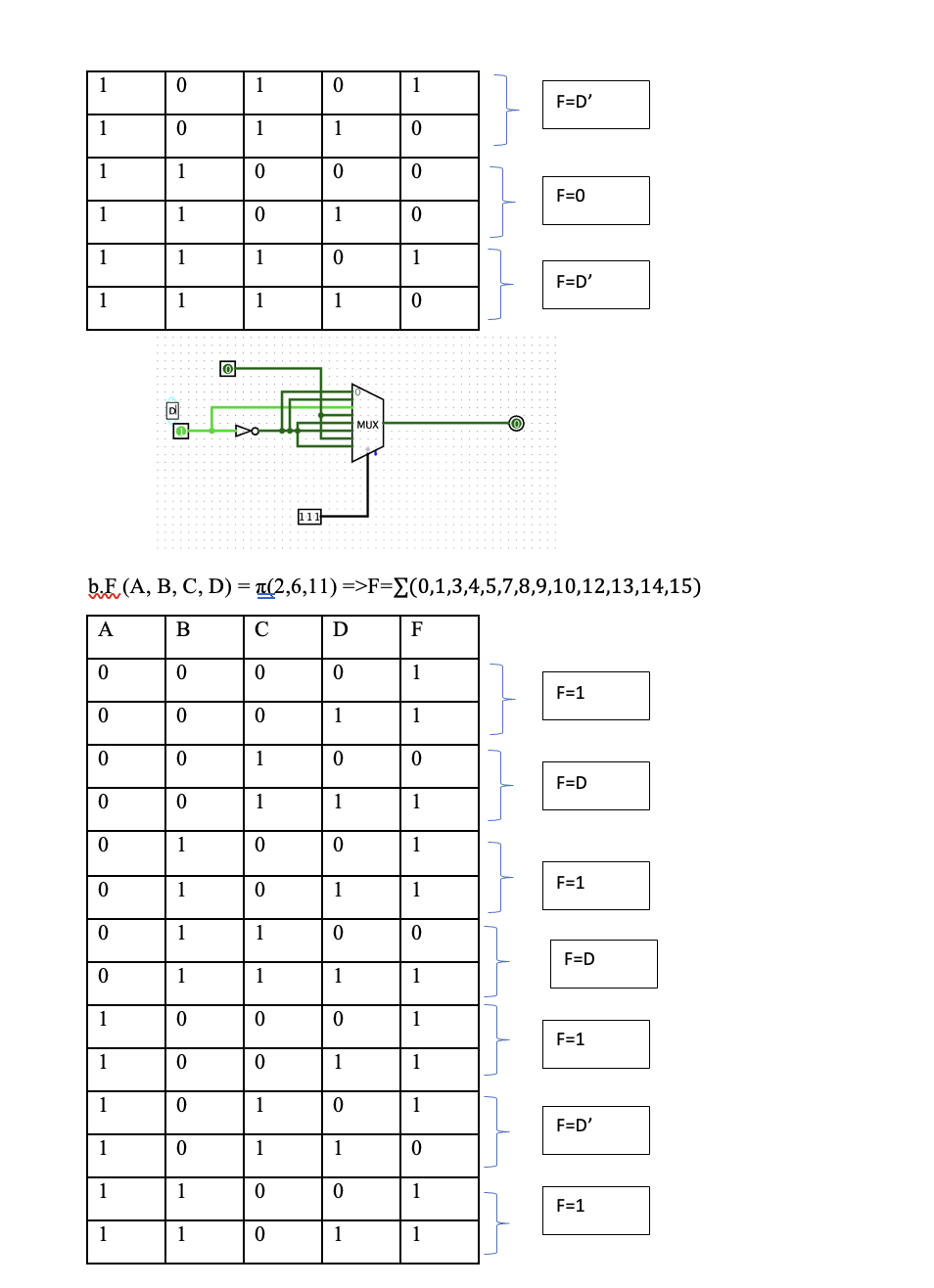
(b) F₁ = (y + x)z

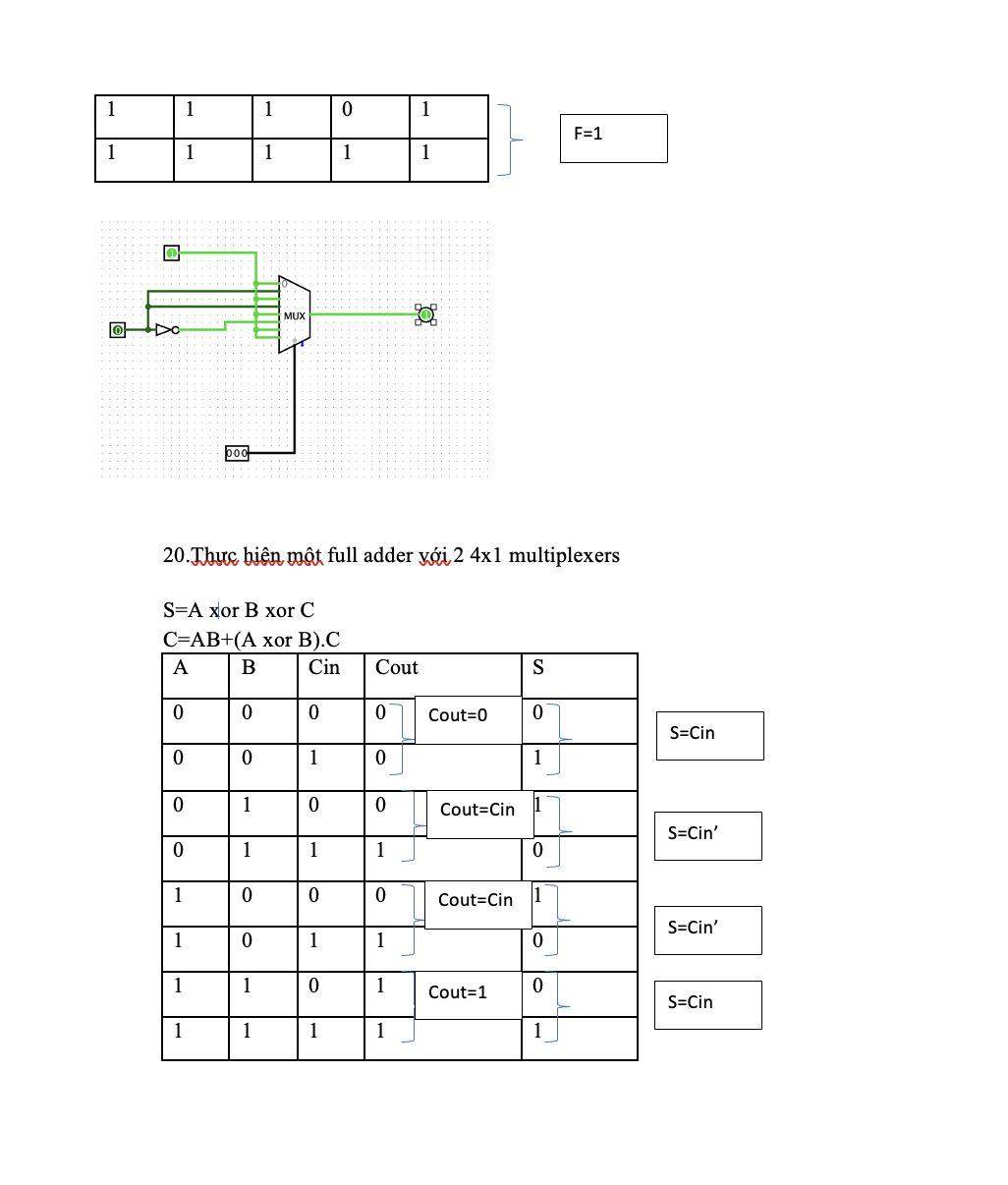
F₂ = y'z'x'y + yz'

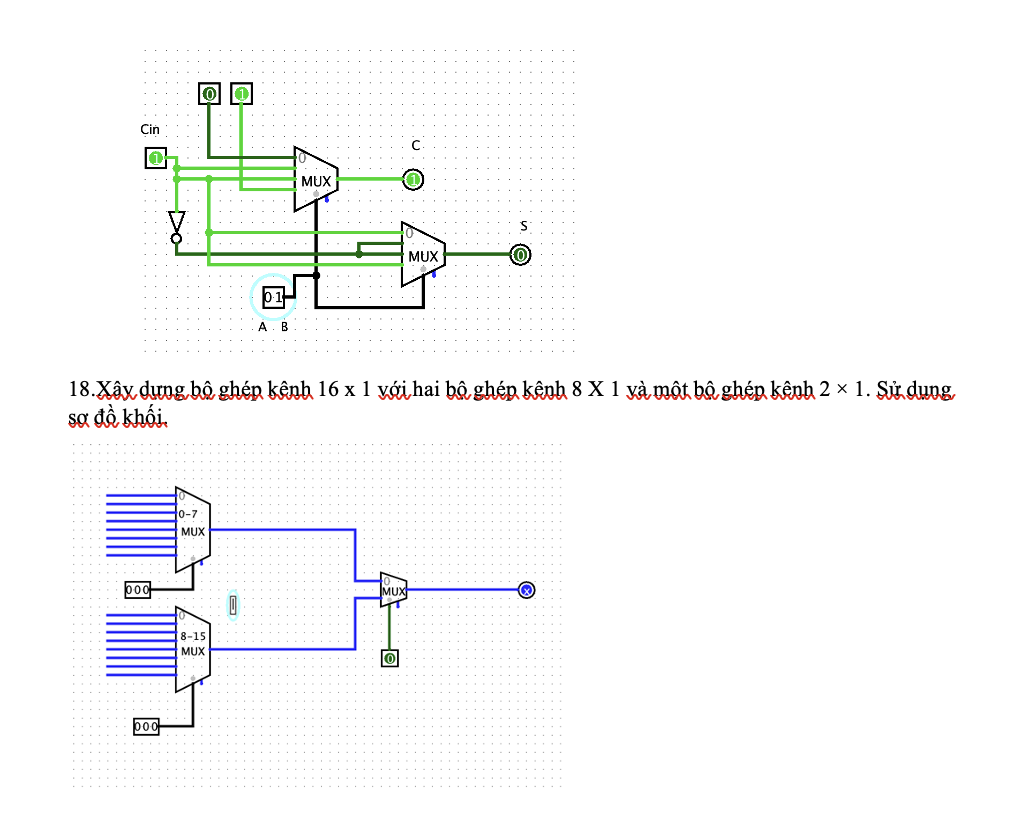
F3 = (x + y)z





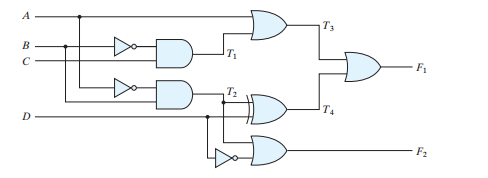






Bài Tập chương 5: Combinational Logic

1. Xem mạch được hiển thị trên hình.



1. Rút gọn biểu thức inputs từ T1 tới T4, và tìm ra biểu thức outputs F1 và F2
2. Viết bảng chân trị với 4 giá trị inputs gồm từ T1 tới T4 và 2 giá trị outputs F1 F2.
3. vẽ bảng Kmaps với bảng chân trị ở câu b) và rút gọn biểu thức tương đương câu a)

Biểu thức được đơn giản hóa của output của F và G theo các biến input.

a) T1=B’C;T2=A’B;T3=A+B’C;T4=A’B xor D=(A’B)’D+A’BD’=AD+B’D+A’BD’

F1=T3+T4=A+B’C+AD+B’D+A’BD’=A(1+D)+B’C+B’D+A’BD’= (A+A’BD’)+B’C+B’D=A+BD’+B’C+B’D

F2=A’B+D’

b)

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | B | C | D | T1 | T2 | T3 | T4 | F1 | F2 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |

AB

00

01

11

10

CD

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 |

c)F1=A+BD’+B’D+B’C

AB

00

01

11

10

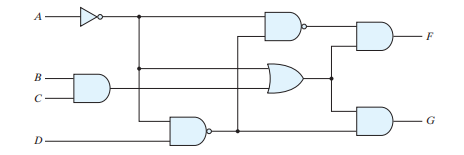
CD

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 |

d)F2=D’+A’B

1. Cho mạch như hình:



1. Viết biểu thức với 4 outputs theo các biến đầu vào
2. Nếu mạch được mô tả bởi bảng chân trị, thì có bao nhiêu hàng và bao nhiêu cột trong bảng

a)F=(A’.(A’D)’)’.(A’+BC)=(A’(A+D’))’.(A’+BC)=(A+A’D).(A’+BC)=ABC+A’D+A’BCD=ABC+A’D

G=(A’D)’.(A’+BC)=(A+D’)(A’+BC)=ABC+A’D’+BCD’

b)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | C | D | F | G |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 |

1. Thiết kế mạch với 3 input và 1 output
2. Output là 1 khi giá trị của input nhỏ hơn 3. Ngược lại thì 0
3. Output là 1 khi giá trị của input là số chẵn.
4. Thiết kế mạch với 3 inputs x,y,z và 3 outputs A,B,C.Khi input tính theo hệ nhị phân là 0,1,2, hoặc 3 thì output theo hệ nhị phân lớn hơn input. Khi input theo hệ nhị phân 4,5,6 hoặc 7 thì output theo hệ nhị phân nhỏ hơn input.
5. A Majority

Thiết kế mạch Majority bằng bảng chân trị, biểu thức, biểu đồ logic

1. Thiết kế mạch mà mạch đó chuyển 4 bit trong mã Gray sang 4 bit trong số nhị phân

Vẽ mạch trên với cổng exclusive-or

1. Thiết kế mạch chuyển đổi từ số thập phân sang:
2. 84-2-1 sang to BCD
3. 84-2-1 sang mã Gray
4. Thiết kế mạch 4bitđể chuyển đổi số nhị phân sang bù 2’s (output tạo ra bù 2’s của số nhị phân đầu vào). Mạch có thể được biểu diễn với cổng XOR. Dự đoán hàm output với 5bit của phần bù.
5. Sử dụng mạch có 4 half-adders:
6. Thiết kế mạch cộng 1 vào số 4bit nhị phân
7. Thiết kế mạch trừ 1 vào số 4bit nhị phân
8. Thiết kế mạch tổ hợp so sánh hai số 4bit để kiểm tra xem chúng có bằng nhau không.

Đầu ra của mạch bằng 1 nếu hai số bằng nhau và bằng 0 nếu ngược lại.

1. Thiết kế bộ exess-3 thành nhị phân bằng cách sử dụng các tổ hợp( không sử dụng được thì không cần quan tâm)
2. 4.23 Vẽ sơ đồ logic của 2-to-4-line decoder sử dụng:
3. chỉ cổng NOR
4. chỉ cổng NAND.

Bao gồm một đầu vào kích hoạt. (enable)

1. Thiết kế một decoder BCD sang số thập phân bằng cách sử dụng các tổ hợp mã BCD(không được sử dụng dưới dạng BCD thì không cần quan tâm).
2. Xây dựng một 4-to-16-line decoder với năm 2-to-4-line decoder với enable(E).
3. Một mạch tổ hợp được xác định bởi ba hàm Boolean sau:

F (A, B, C) =2(1,4,6)

F2(A, B, C) =2(3,5)

F3(A, B, C) =2(2,4,6,7)

Thực hiện mạch với bộ giải mã được xây dựng bằng cổng NAND (tương tự như Hình 4.19) và cổng NAND hoặc AND được kết nối với đầu ra của bộ giải mã. Sử dụng sơ đồ khối cho bộ giải mã. Giảm thiểu số lượng đầu vào trong các cổng bên ngoài.

1. ử dụng bộ giải mã và các cổng bên ngoài, hãy thiết kế mạch tổ hợp được xác định bởi ba hàm Boolean sau:

(a) F₁ = x'yz' +xz

F₂ = xy'z' + x'y

F3 = x'y'z' + xy

(b) F₁ = (y + x)z

F₂ = y'z'x'y + yz'

F3 = (x + y)z

1. Chỉ định bảng chân trị của encoder ưu tiên bát phân sang nhị phân. Cung cấp một output V để chỉ ra rằng có ít nhất một trong inputs. Input có số chỉ số dưới cao nhất có mức ưu tiên cao nhất. Giá trị của input sẽ là bao nhiêu nếu input D2 và D6 đồng thời là 1?
2. Xây dựng bộ ghép kênh 16 x 1 với hai bộ ghép kênh 8 X 1 và một bộ ghép kênh 2 × 1. Sử dụng sơ đồ khối.
3. thực hiện chức năng Boolean sau với multiplexer

a. F (a, b, c, d) = ∑(0, 2, 5, 8, 10, 14)

b.F (A, B, C, D) = π(2,6,11)

1. thực hiện một full adder với 2 4x1 multiplexers
2. Một multiplexers 8 x 1 có inputs A, B và C được kết nối với Selection inputs S₂, S₁ và S0. Các đầu vào dữ liệu I0 thông qua I7 như sau:
3. I1=I2=I7=0; I3=I5=1; I0=I4=D; I6=D’

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | D | F |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

F

CD

00 01 11 10

AB

00

01

11

10

|  |  |  |  |
| --- | --- | --- | --- |
|  | 1 |  |  |
|  |  | 1 | 1 |
| 1 |  |  |  |
|  | 1 | 1 | 1 |

F(A,B,C,D)=BC+AC+B’C’D+ABD’

b) I1=I2=0; I3=I7=1; I5=I4=D; I6=I0=D’

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | D | F |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

F

AB

00

01

11

10

CD

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
| 1 |  |  |  |
|  |  | 1 | 1 |
| 1 |  | 1 | 1 |
|  | 1 | 1 |  |

F(A,B,C,D)=BC+ABD’AB’D+A’B’C’D’

Xác định chức năng boolean mà multiplexers thực hiện.

1. Thực hiện chức năng boolean sau multiplexers 4 x 1 và cổng external.

(a) f₁ (a, b, c, d) =∑ (1, 3, 4, 11, 12, 13, 14, 15)

(b) f₂ (a, b, c, d) =∑ (1, 2, 5, 7, 8, 10, 11, 13, 15)

Kết nối đầu vào A và B với selections. Các yêu cầu đầu vào cho bốn dữ liệu

Các dòng sẽ là một hàm của các biến C và D. Các giá trị được bằng cách biểu thị F như

một hàm của C và D cho mỗi bốn trường hợp khi AB= 00,01, 10 và 11. các hàm này

có thể được thực hiện với external gates.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | D | F |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

AB=11

F=CD=(C’+D’)’

AB=10

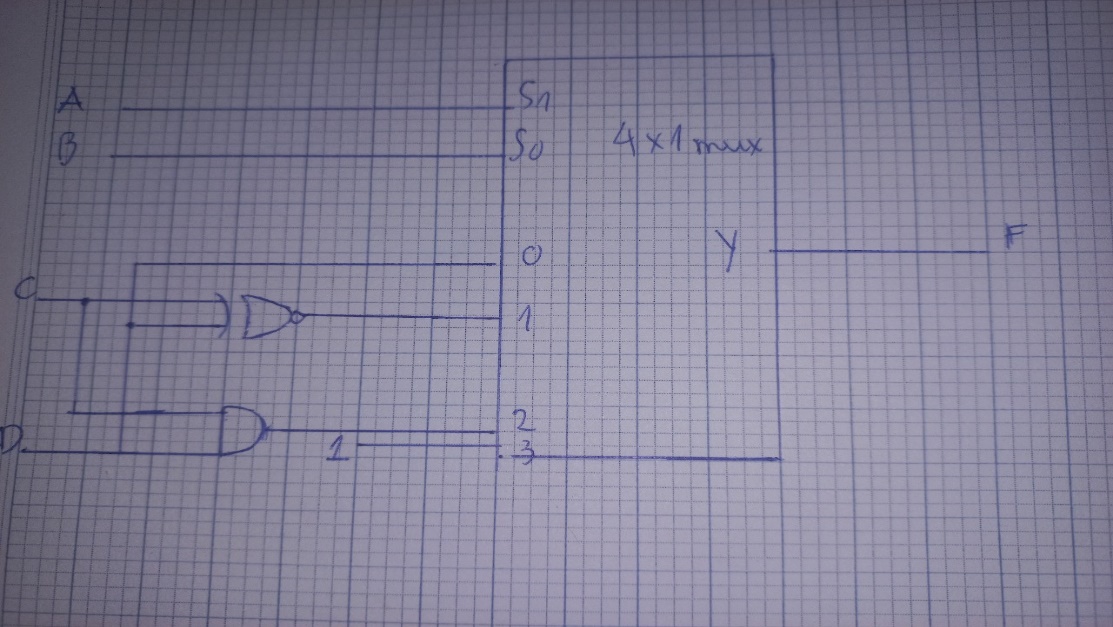
F=1

AB=00

F=D

AB=01

F=C’D’



(b) f₂ (a, b, c, d) =∑ (1, 2, 5, 7, 8, 10, 11, 13, 15)

AB=10

F=D

AB=11

F=C’D’+CD’+CD=D’+C

AB=01

F=D

AB=00

F=C xor D

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | D | F |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |